

Press Release

2025 年 8 月 5 日

報道関係者各位

イーソル株式会社
東京科学大学 RISC-V デザインセンター

eSOL と RISC-V デザインセンター (RVDC) が RISC-V の活用・普及で連携

～ 産学連携によって SDx 時代に重要な Full Stack Engineering を提供し、
RISC-V 製品の差別化・高付加価値化による国際競争力強化を支援 ～

イーソル株式会社（本社：東京都中野区、代表取締役社長 CEO 兼 CTO：権藤 正樹、以下 eSOL）と、東京科学大学 総合研究院 集積 Green-niX+研究ユニット内に設置され、一般財団法人新システムビジョン研究開発機構（以下 NSV）が運営する RISC-V デザインセンター（センター長：国立大学法人 東京科学大学 工学院 情報通信系／教授／博士（工学）一色 剛、以下 RVDC）は、RISC-V の活用と普及で連携していくことを発表しました。



この連携で eSOL が掲げる Full Stack Engineering^{*1} のアプローチにおいて、eSOL は RVDC が提供する RISC-V システム設計プラットフォームおよび C2RTL 高位設計メソドロジーを活用し、OS に代表される SW と HW の境界面の開発技術をさらに強化することができます。また RVDC は RISC-V を活用した HW の設計及び開発技術を提供します。これによって、IoT、AI、ロボット、車載、サーバ等を開発する RISC-V のユーザ企業や機関に対して、開発スピードの大幅改善と RISC-V を活用した製品の差別化・高付加価値化による国際競争力強化を支援します。



産業のコメと言われる半導体ですが、昨今の半導体を使った電子・電機機器の殆どが、汎用のプロセッサを使用しています。プロセッサの選択肢が限られている製品開発では、自ずと似たような製品ばかりが市場に溢れ、競争力を損なう状況が生まれつつあります。RISC-V（リスクファイブ）は、オープンソースの次世代プロセッサ設計規格で、拡張性、カスタマイズ性、モジュール性に優れ、さまざまなワークロードやアプリケーション向けに容易に最適化することが可能です。その自由度の高さから、エレクトロニクス分野から学術研究まで幅広い分野で注目を集めており急成長が見込まれています。

eSOL では、かねてより RISC-V に注目しており、2023 年 4 月には NEDO の「高効率・高速処理を可能とする AI チップ・次世代コンピューティングの技術開発／セキュアオープンアーキテクチャ向けコンパイラバックエンドおよび対応ランタイム環境の設計・開発」事業において、さまざまな機能が混在するヘテロジニアスな環境下での RISC-V 向けオペレーティングシステム OS、各種並列化フレームワーク、コンパイラ基盤、並列プログラム処理のための開発ツールを組み合わせた包括的なソフト開発環境を実現しました。^{*2}

^{*1}：eSOL が掲げる Full Stack Engineering は SDx のプラットフォーム構築に求められる全領域の開発技術を提供することです。

^{*2}：「世界初、次世代プロセッサ IP（RISC-V）向けの包括的なソフト開発環境の実現に成功」（2023 年 4 月 27 日 eSOL プレスリリース）https://www.esol.co.jp/press/press_617.html

RISC-V は、オープンソースで拡張性やカスタマイズ性など優れた特徴を持つものの、RISC-V の公式サイトではプロセッサの仕様書があるだけで、実際に有効活用するにはハードルが高い状況です。そのような状況を打破し、日本におけるロジック半導体開発力の強化と日本半導体業界の再興に寄与するため、RISC-V デザインセンターは、NEDO の「AI エッジコンピューティングの産業応用加速のための設計技術開発／RISC-V システム設計プラットフォームの研究開発」事業（2022 年 8 月～2025 年 3 月）において技術構築した、RISC-V プロセッサ搭載 SoC（システム・オン・チップ）の HW/SW 協調設計検証環境を日本半導体産業に提供するために 2025 年 8 月に設立されました。

今回の連携についてイーソル株式会社 代表取締役社長 CEO 兼 CTO 権藤 正樹のコメント

「当社では、以前より拡張性とカスタマイズ性に優れたオープンな次世代プロセッサ IP である RISC-V の可能性に着目し、NEDO の事業などを通してその発展と普及に積極的に取り組んできました。RVDC の一色教授が長年取り組まれて来た C2RTL は、SDx で不可欠となるハードウェアのソフトウェア化と協調設計/検証を大きく加速する日本発の技術です。同技術を eSOL の OS とフルスタックエンジニアリングに組み合わせる事で、ハードとソフトが最適に組み合わせた優れたコンピュータの実現を世界に提供して行きます。」

RISC-V デザインセンター センター長 国立大学法人 東京科学大学 工学院 情報通信系／教授／博士（工学）一色 剛のコメント

「RISC-V デザインセンターで提供する RISC-V プロセッサ搭載 SoC の HW/SW 協調設計検証環境は、RISC-V プロセッサや SoC 構成モジュールすべてをソフトウェア（C/C++）によって、モデリング・動作検証し、C2RTL 高位設計ツールによって回路生成する設計検証メソッドロジーであり、eSOL が掲げる SDx（ソフトウェアを基軸としたモノづくり）を半導体設計領域で実践していきます。今回の eSOL との連携により、様々な領域における新規 RISC-V システム開発が活性化することを大いに期待しています。」



補足資料

RISC-V デザインセンター（RVDC）について

RVDC は、C 言語化したオープン命令仕様の RISC-V（第 5 世代 RISC プロセッサ）と全く新しい論理回路高位記述設計/検証環境である「C2RTL」*3を使って、最適化された RISC-V プロセッサを今までにない生産効率で設計/検証する手法を獲得する、学びと情報共有の場です。RVDC は、東京科学大学集積 Green-niX+研究ユニット内に設置された、商業的利益を目的とした団体ではない非営利組織であり、参加プラン費用は、RVDC の運営経費に充てられます。

- **第 1 期事業期間 2025 年 8 月～2030 年 7 月**
第 1 期 RISC-V Design Center センター長：一色 剛
- **設置機関**
東京科学大学 総合研究院 集積 Green-niX+研究ユニット
場所：東京科学大学 石川台 1 号館 7F 754 号室
住所：〒152-8552 東京都目黒区大岡山 2-12-1 II-14
- **運営事業者**
一般財団法人新システムビジョン研究開発機構(NSV)

RISC-V デザインセンター 詳細情報： <https://rvdc.nsv.or.jp/>

*3： C/C++言語だけでロジック半導体を設計・検証し、RTL を自動生成できる日本発の設計/検証環境です。

eSOL について

eSOL は、革新的なコンピュータテクノロジーによって世界の人々のためのサイバーフィジカル社会を実現するワールドクラスのフルスタックエンジニアリング企業です。eSOL 独自のマルチカーネルテクノロジー（特許取得）によって開発された eMCOS[®]リアルタイムオペレーティングシステム（RTOS）を中核とし、プラットフォーム、OS、アプリケーションの各層と、ツールチェーン、プロセスまでをトータルに提供する”Full Stack Engineering”でお客様のソフトウェア開発を支援します。eSOL の技術および高性能でスケーラブルなソフトウェアプラットフォーム製品と優れたプロフェッショナルサービスは、厳格な品質、安全性、セキュリティ基準が求められる車載システムをはじめ、FA、人工衛星、医療機器およびデジタル家電を含むあらゆる組込みアプリケーションの分野において世界中で採用されています。最先端の自社製品の研究・開発や、主要メーカーや大学機関との共同研究に加え、AUTOSAR、Autoware、マルチ・メニーコア技術の標準化活動を積極的に進めています。2025 年 5 月に創業 50 周年をむかえ、東京証券取引所スタンダード市場に上場しています。（証券コード:4420）

イーソル株式会社 会社情報 : <https://www.esol.co.jp>

* Autoware は、自動運転のために ROS/ROS 2 上に構築されたオープンソースソフトウェアです。

* イーソル、イーソル株式会社、eSOL および eMCOS は、イーソル株式会社の日本及びその他の国における登録商標または商標です。

* その他、記載された会社名および製品名は、各社の登録商標または商標です。

■ 本リリースに関するお問い合わせ先



イーソル株式会社 コーポレートコミュニケーション室

e-mail : media@esol.co.jp

URL : <https://www.esol.co.jp/>



RISC-V デザインセンター

e-mail : rvdc@nsv.or.jp